PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053218
(43)Date of publication of application : 23.02.2001

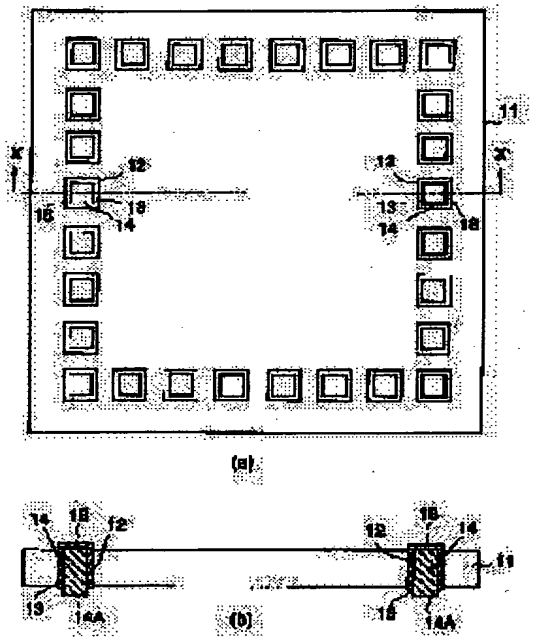
(51)Int.Cl. H01L 25/065
H01L 25/07
H01L 25/18
H01L 21/60

(21)Application number : 11-226502
(22)Date of filing : 10.08.1999

(71)Applicant : TOSHIBA CORP
(72)Inventor : TAKAHASHI KENJI
NAKAYOSHI HIDEO
TAKU SHINYA
TAKUBO TOMOAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a semiconductor device wherein electrodes for stacking a plurality of semiconductor chips are small while the pitch between electrodes is small to sufficiently cope with a case where multiple signal inputs/outputs are required.
SOLUTION: In a through-hole 12 formed at a semiconductor substrate 11, an insulating film 13 protruding above the rear side of the semiconductor substrate 11 is formed, and in the through-hole, an electrode 14 comprising a projection 14A protruding beyond the insulating film 13 on the rear side of the semiconductor substrate 11 is embedded. The conductive electrode material protruding above the rear side of the semiconductor substrate 11 is utilized as a part of a bump, so the electrode is smaller and the pitch between electrodes is small while coping with a case where multiple signal inputs/outputs are required.



LEGAL STATUS

[Date of request for examination] 27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Numb r of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Offic

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2001－53218
（P2001－53218A）
(43)公開日　平成13年２月23日(2001.2.23)

(51)Int.Cl.'	識別記号	Ｆ Ｉ		テーマコード'（参考）
Ｈ０１Ｌ 25/065		Ｈ０１Ｌ 25/08	Ｂ	５Ｆ０４４
25/07		21/60	３１１Ｑ	
25/18				
21/60	３１１			

審査請求　未請求　請求項の数７　ＯＬ　（全６頁）

(21)出願番号　特願平11－226502

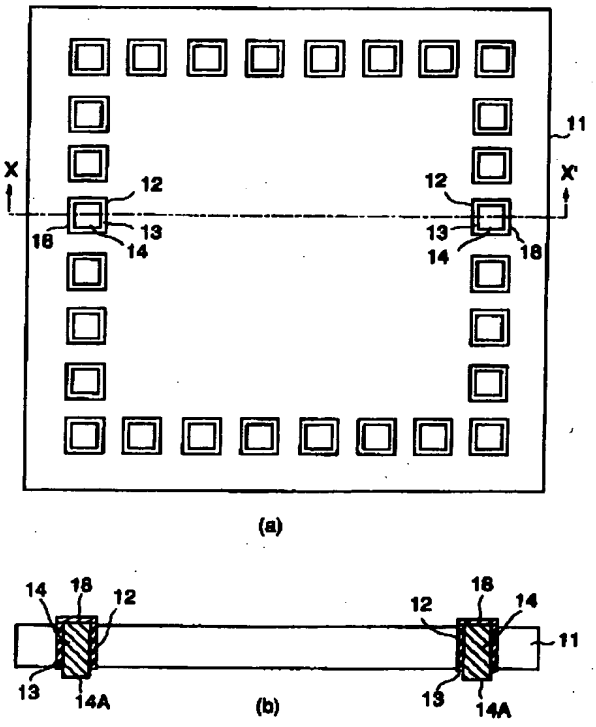
(22)出願日　平成11年８月10日(1999.8.10)

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72)発明者　高橋　健司
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(72)発明者　中吉　英夫
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

最終頁に続く

(54)【発明の名称】　半導体装置及びその製造方法

(57)【要約】
【課題】複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することを目的としている。
【解決手段】半導体基板１１に形成された貫通孔１２内に、この半導体基板の裏面側に突出された絶縁膜１３を形成するとともに、この貫通孔内に半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部１４Ａを有する電極１４を埋め込み形成したことを特徴としている。半導体基板の裏面側に突出した導電性電極材料をバンプの一部として利用することができるので、電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも対応できる。



1

【特許請求の範囲】

【請求項１】　貫通孔を有する半導体基板と、
前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、
前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴とする半導体装置。

【請求項２】　前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備することを特徴とする請求項１に記載の半導体装置。

【請求項３】　前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねることを特徴とする請求項２に記載の半導体装置。

【請求項４】　前記積み重ねた複数の半導体基板は、インターポーザ上に実装されることを特徴とする請求項３に記載の半導体装置。

【請求項５】　半導体基板の主表面に所定の深さの開孔を形成する工程と、
前記開孔の内壁に絶縁膜を形成する工程と、
前記開孔内を導電性電極材料で埋め込む工程と、
前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、
前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項６】　前記開孔内を導電性電極材料で埋め込む工程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備することを特徴とする請求項５に記載の半導体装置の製造方法。

【請求項７】　前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備することを特徴とする請求項５または６に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、半導体チップを貫通する電極を有する半導体装置及びその製造方法に関し、例えば大きな記憶容量を得るために複数のメモリチップを積層して実装する技術に関する。

【０００２】

【従来の技術】半導体装置、例えば半導体記憶装置にあっては、素子の微細化による高集積化、記憶容量の大容量化、高機能化、動作速度の高速化等の様々な要求がなされている。これらの要求の中でも、特に記憶容量の増大に対する要求が高いが、必ずしも素子の微細化に製造

2

技術が対応できていない。

【０００３】このような問題を解決する一つの技術として、複数のメモリチップを積層して実装することにより、見かけ上の記憶容量を増大させる技術が提案されている。

【０００４】上記複数のメモリチップを積層する際には、例えばメモリチップに貫通孔を形成し、この貫通孔の側壁に絶縁膜を形成した後、貫通孔内に導電性電極材料を埋め込んで電極を形成している。そして、上記電極上にメッキなどでバンプを形成し、このバンプを介在して複数のメモリチップの電極間を接続することにより、見かけ上の記憶容量を増大させている。

【０００５】上記バンプの形成に際しては、まず、図４（ａ）に示すように、半導体基板（シリコン基板）３１の貫通孔３０内に、絶縁膜３２を介在して導電性電極材料を埋め込んで電極３３を形成し、この電極３３上にアルミニウム等からなるパッド３４を形成した後、全面をパッシベーション膜３５で覆う。次に、上記パッド３４上のパッシベーション膜３５をエッチングなどで選択的に除去して、パッド３４の表面を露出させる。引き続き、図４（ｂ）に示すように全面にバリアメタル層３６を形成した後、図４（ｃ）に示すようにパッド３４上以外の部分をフォトレジスト３７でマスクする。その後、図４（ｄ）に示すように露出されているバリアメタル層３６上にメッキを行い、メッキ層（バンプ）３８を形成する。次に、図４（ｅ）に示すようにレジスト３７を除去する。そして、図４（ｆ）に示すようにウェットエッチングを行って、パッシベーション膜３５上に残存されているバリアメタル層３６を除去する。

【０００６】しかしながら、上記のような構成並びに製造方法では、図４（ｆ）に示したバリアメタル層３６の除去工程において、バンプ３８の端部下の領域３９Ａ，３９Ｂがオーバーエッチングされる。このため、充分な信頼性を確保するためにはバンプサイズを小さくできず、隣接する各バンプ３８間にも一定の距離が必要となり、ピッチは２０μｍ程度までしか詰められない。この結果、サイズの小さなチップでは、高機能化されて多数の入出力信号が必要となっている半導体記憶装置等に適用するのが難しくなっている。

【０００７】また、パッケージを薄型化するために、チップの裏面を研削及び研磨してチップ厚を薄くする場合、ウェーハを薄くしてからバンプ３８の形成を行う必要があるため、搬送中やバンプ形成のためのメッキ時に、ウェーハにクラックが入ったり割れたりする恐れがある。経験値では、ウェーハ厚の最小値をｔｍｉｎ、ウェーハ径をｄとすると、ｔｍｉｎ＝ｄ／１０００程度までが限界である。

【０００８】

【発明が解決しようとする課題】上記のように従来の半導体装置及びその製造方法では、バンプサイズを充分小

さくできず、バンプ間のピッチも詰められないという問題があった。

【０００９】また、メモリチップの裏面を研削及び研磨してチップ厚を薄くする場合、搬送中やバンプ形成のためのメッキ時にウェーハにクラックが入ったり割れたりするという問題があった。

【００１０】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することにある。

【００１１】また、この発明の他の目的は、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法を提供することにある。

【００１２】更に、この発明の他の目的は、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法を提供することにある。

【００１３】

【課題を解決するための手段】この発明の半導体装置は、貫通孔を有する半導体基板と、前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴としている。

【００１４】また、この装置において、次のような特徴を備えている。

【００１５】前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備する。

【００１６】前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねる。

【００１７】前記積み重ねた複数の半導体基板は、インターポーザ上に実装される。

【００１８】更に、この発明の半導体装置の製造方法は、半導体基板の主表面に所定の深さの開孔を形成する工程と、前記開孔の内壁に絶縁膜を形成する工程と、前記開孔内を導電性電極材料で埋め込む工程と、前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴としている。

【００１９】そして、上記製造方法において、次のような特徴を備えている。

【００２０】前記開孔内を導電性電極材料で埋め込む工程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備する。

【００２１】前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備する。

【００２２】上記のような構成によれば、半導体基板の裏面側に突出した導電性電極材料をバンプとして利用することができるので、バンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも対応できる。

【００２３】また、上記のような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極を突出させることができる。

【００２４】更に、接合材料層はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【００２５】しかも、機械的な研削及び研磨の前にダイシング溝を形成しておけば、ウェーハの分割工程と貫通孔への電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる。

【００２６】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図１（ａ），（ｂ）は、この発明の第１の実施の形態に係る半導体装置について説明するためのもので、（ａ）図はチップの平面図、（ｂ）図は（ａ）図のＸ－Ｘ’線に沿った断面図である。また、図２（ａ），（ｂ）は上記図１（ａ），（ｂ）に示した半導体装置を実装した状態を示すもので、（ａ）図は斜視図、（ｂ）図は断面図である。

【００２７】図１（ａ），（ｂ）に示す如く、半導体基板（例えば半導体メモリチップ）１１には、四辺に沿って貫通孔１２，１２，…が形成されている。これらの貫通孔１２，１２，…内の半導体基板１１表面には酸化シリコン等の絶縁膜１３が形成されており、この絶縁膜１３は半導体基板１１の裏面側に突出している。また、上記貫通孔１２内には、上記絶縁膜１３が介在されることにより、上記半導体基板１１と絶縁された状態で銅（Ｃｕ）やタングステン（Ｗ）等の導電性の材料からなる電極１４が設けられている。この電極１４は、基板１１の裏面側で且つ上記絶縁膜１３よりも突出した突起部１４Ａを有する。そして、上記電極１４における基板１１の主表面側には、接合材料層１８が形成されている。

【００２８】上記構造の半導体基板１１は、図２（ａ），（ｂ）に示すように、複数個が積み重ねられてインターポーザ１５上に搭載される。この際、半導体メモリチップ１１－１における電極１４の突起部１４Ａは、インターポーザ１５上に実装され、電気的に接続される。上記半導体メモリチップ１１－２における電極１

5

４の突起部１４Ａは、上記半導体メモリチップ１１－１における電極１４上の接合材料層１８上に実装され、電気的に接続される。上記半導体メモリチップ１１－３，１１－４も同様に、半導体メモリチップ１１－２，１１－３上にそれぞれ実装され、電気的に接続される。

【００２９】また、上記インターポーザ１５上には、上記半導体メモリチップ１１－１～１１－４に隣接して、ロジックチップ１６が実装されている。上記各半導体メモリチップ１１－１～１１－４とロジックチップ１６は、上記インターポーザ１５の裏面側に形成された半田ボール１７，１７，…と電気的に接続されている。

【００３０】このような構成によれば、半導体基板１１の裏面側に突出した電極１４の突起部１４Ａを、従来のバンプと同様に用いることができるので、電極１４のサイズを小さくし、且つ電極１４間のピッチを狭くして、多数の信号入出力が要求される場合にも充分に対応できる。

【００３１】なお、上記電極１４の材料としては、上述したＣｕやW以外にも、これらを含む合金や、Ａｌ、Ｍｏ、ポリシリコン、Ａｕ、あるいはこれらを含む合金等を用いることができる。また、上記接合材料層１８としては、Ａｕ、Ｐｂ／Ｓｎ、Ｓｎ、Ａｕ／Ｓｎ、Ｓｎ／Ｉｎ、Ｓｎ／Ｂｉ等を用いることができる。

【００３２】次に、上述した半導体装置の製造方法について説明する。図３（ａ）乃至（ｃ）はそれぞれ、上記半導体装置における電極１４とその近傍を拡大して製造工程順に示している。

【００３３】まず、図３（ａ）に示すように、半導体基板１１の主表面に所定の深さの開孔２１を形成し、この開孔２１の内壁に熱酸化やＣＶＤ法により、酸化シリコン等の絶縁膜１３を形成する。その後、ＣＶＤ法により全面に導電性電極材料１４を形成し、開孔２１内をこの電極材料１４で埋め込む。次に、基板１１上の絶縁膜１３と導電性電極材料１４を除去する。引き続き、基板１１の主表面側の上記電極材料１４上に、接合材料層１８を形成する。

【００３４】次に、図３（ｂ）に示すように、上記基板１１の主表面側から、この基板（チップ）１１の最終的な厚さよりも深いダイシング溝２２を形成した後、上記基板１１の裏面を上記開孔２１の底部及び上記ダイシング溝２２の底部に達しない深さまで機械的に研削する。

【００３５】そして、図３（ｃ）に示すように、上記基板１１の裏面を開孔２１の底部より浅い位置までエッチングして、電極材料１４を半導体基板１１の裏面から突出させる。これによって、基板１１を貫通し、裏面側に突起部１４Ａを有する電極１４を形成する。この際、絶縁膜１３が基板１１の裏面側に突出される。また、このエッチング工程によって、上記ダイシング溝２２に沿ってチップが分割される。

【００３６】このような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極１４を突出させることができる。

6

【００３７】また、接合材料層１８はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【００３８】しかも、機械的な研削及び研磨の前にダイシング溝２２を形成しておくので、ウェーハの分割工程と貫通孔への電極材料の埋め込み工程とを同時にでき、製造工程の簡単化が図れる。

【００３９】更に、バリアメタルを用いないので、１０μｍ以下までバンプ間のピッチを詰めることができ、バンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも容易に対応できる。

【００４０】

【発明の効果】以上説明したように、この発明によれば、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置が得られる。

【００４１】また、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法が得られる。

【００４２】更に、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法が得られる。

【図面の簡単な説明】

【図１】この発明の第１の実施の形態に係る半導体装置について説明するための平面図及び断面図。

【図２】図１に示した半導体装置を実装した状態を示す斜視図及び断面図。

【図３】この発明の第１の実施の形態に係る半導体装置の製造方法について説明するためのもので、半導体装置における電極とその近傍を拡大して製造工程順に示す断面図。

【図４】従来の半導体装置及びその製造方法について説明するためのもので、バンプの形成工程を順次示す断面図。

【符号の説明】

１１，１１－１～１１－４…半導体基板（半導体メモリチップ）、

１２…貫通孔、

１３…絶縁膜、

１４…電極、

１４Ａ…突起部、

１５…インターポーザ、

１６…ロジックチップ、

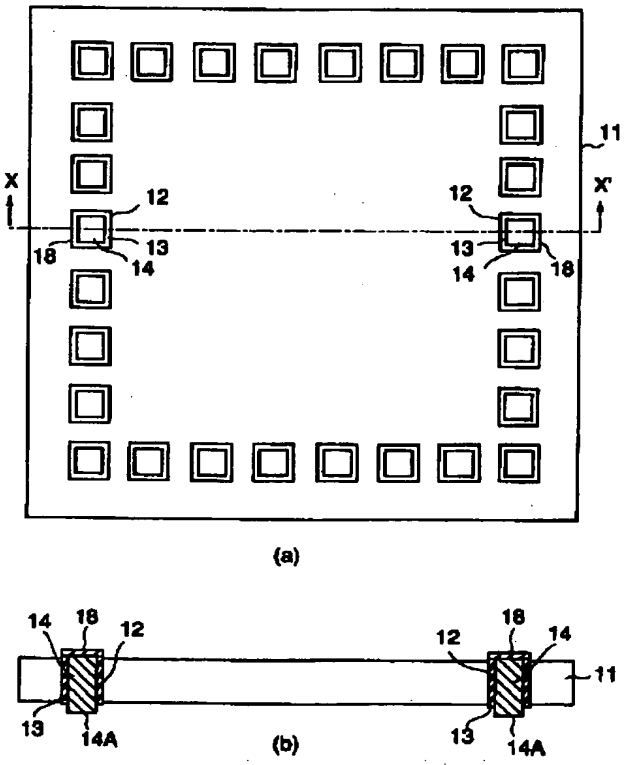
１７…半田ボール、

１８…接合材料層、

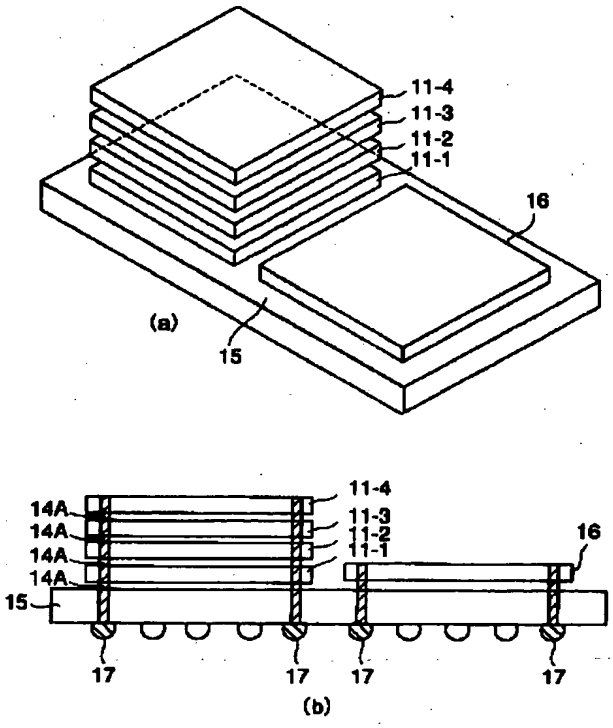
２１…開孔、

２２…ダイシング溝。

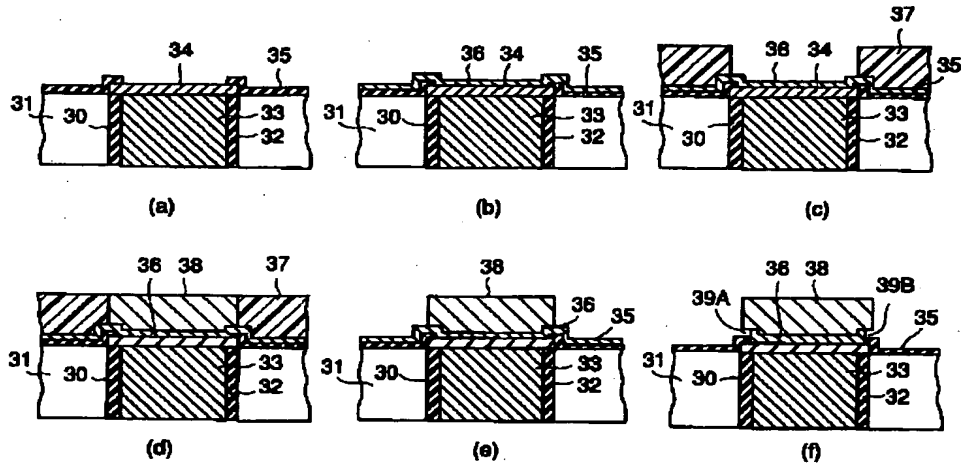
【図１】



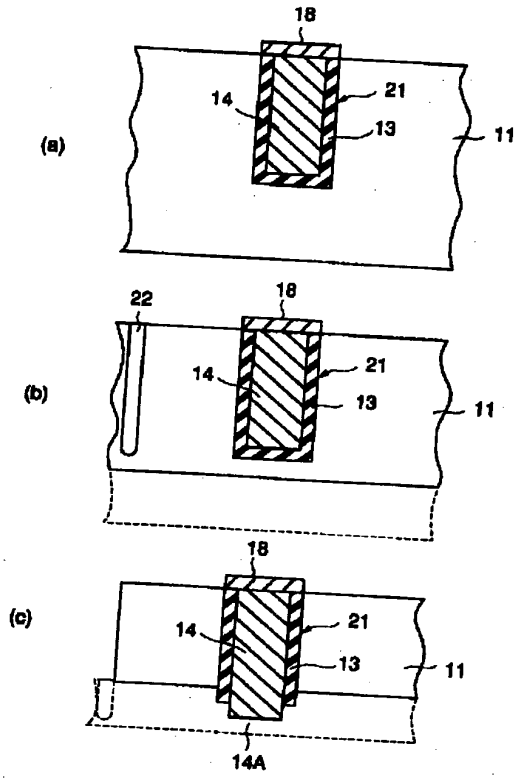
【図２】



【図４】



【図３】



フロントページの続き

(72)発明者　田久　真也
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者　田窪　知章
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内

Ｆターム(参考)　5F044 KK01 LL01 QQ02 QQ04 RR03